

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-149018

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月7日

H 03 L 7/087

8731-5 J H 03 L 7/08

P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 自動周波数制御回路

⑰ 特 願 昭63-301019

⑱ 出 願 昭63(1988)11月30日

⑲ 発 明 者 鏡 弘 孝 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑳ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

㉑ 代 理 人 弁理士 渡辺 喜平

明 細 書

1. 発明の名称

自動周波数制御回路

2. 特許請求の範囲

位相比較器、電圧制御発振器、A/D変換器、CPU及びD/A変換器よりなる自動周波数制御回路において、上記位相比較器としてアナログ型位相変換器及びデジタル型位相周波数比較器を併設し、アナログ位相同期ループとデジタル位相同期ループを形成できる構成としたことを特徴とする自動周波数制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、衛星用受信器に用いられる自動周波数制御回路に関し、特に、周波数ロックはずれを起した後の再帰引時間を大幅に短縮できるようにした自動周波数制御回路に関する。

〔従来の技術〕

衛星用受信器に用いられる自動周波数制御回路は、電圧制御発振器、アナログ型位相比較器、A/D変換器、D/A変換器、CPUにより構成されていた。そして、初期状態からの帰引及びブルインレンジに近くなつてからの引込を行うためのループ処理、ロックはずれを起した後の再帰引については、すべてソフトウェアにて行なっていた。

この自動周波数制御回路においては、初期状態からの帰引及びブルインレンジ近くなつてからの引込を行なうためのループ処理においては問題ないものの、ロックはずれを起した後の再帰引処理については次のような問題があった。

すなわち、ロックがかかっている状態から瞬間信号を断にし、±Δf(ブルインレンジより遠い周波数)だけオフセットした周波数を再び入力させると、アナログ型位相比較器では追従できな

## 特開平2-149018 (2)

かった。このため、出力に低域フィルタを構成し、これをA/D変換してロック点からのおおよその周波数差をCPUにて算出しているが、この周波数差がアナログ型位相比較器では絶対値としてしか判断できないため、ここからブルーインレンジに近づけるべく掃引動作を行なうと、50%の確率でブルーインレンジより遠ざかってしまう。

そこで従来は、第2図に示すように低域フィルタLPFを多段に接続し、このフィルタ群の応答を掃引方向を決める手段としていた。

なお、第2図において、1aはアナログ型位相比較器、2はA/D変換器、3はCPU、4はD/A変換器、5は電圧制御発振器である。

### 〔解決すべき課題〕

上述のように、従来のアナログ型位相比較器のみを用いた自動周波数制御回路にあっては、復調器によるシンクエラー、位相誤差及び余計なサイクルスリップを生じ、BERを劣化させるおそれ

がある。また、回路構成上も低域フィルタLPFを多段に設ける必要があるため、複雑かつ高価になるという問題があった。

本発明は、上記問題点にかんがみてなされたものであり、周波数領域では、デジタル位相周波数比較器を、位相領域ではアナログ位相比較器でループを組むことによりブルーインタイムを大幅に短縮できるようにした自動周波数制御回路の提供を目的とする。

### 〔課題の解決手段〕

本発明は上記目的を達成するため、位相比較器、電圧制御発振器、A/D変換器、CPU及びD/A変換器よりなる自動周波数制御回路において、上記位相比較器としてアナログ型位相変換器及びデジタル型位相周波数比較器を併設し、アナログ位相同期ループとデジタル位相同期ループを形成できる構成としてある。

### 〔作用〕

た方向を判断することが可能となる。

したがって、従来の低域フィルタ群をサーチする方法で生じる逆方向掃引を無くすることができ、これにより、復調器のシンクエラー及びBERの劣化を防げるとともに、回路構成ソフトウェアも簡素化できる。

### 〔実施例〕

以下、本発明の自動周波数制御回路の一実施例について図面を参照して説明する。

第1図は本実施例の回路構成図である、同図において、1は位相比較器でありアナログ型位相比較器1aとデジタル型位相周波数比較器1bを並列に設けている。また、2はマルチプレクサを備えたA/D変換器、3はCPU、4はD/A変換器及び5は電圧制御発振器であり、これらは第2図に示す従来のものと同じである。

ここで、本発明の自動周波数制御回路が特徴とする点は、位相比較器1が、アナログ型位相比較

本発明の自動周波数制御回路によれば、先ず初期状態からの掃引ではデジタル位相周波数によるループを組んで制御電圧を増加又は減少させる方向かを判断し、ブルーインレンジまで掃引し、位相領域の制御へ移行する。ここでデジタル位相周波数比較器によるループからアナログ位相比較器によるループへ切り替えることにより、位相同期をかける。これはCPUにより離散的なDATA処理を行なうこと及びスプリアス等の問題でこの方が有利だからである。

そして、デジタル位相周波数比較器は、その出力をCPUに取り込み、ロックはずれのモニターに利用する。このロックがかかっている状態から瞬間、信号を断し、±Δf(ブルーインレンジより遠い周波数)だけオフセットした周波数を再入力したとき、アナログ位相比較器では追従できないが、離散的にデジタル位相周波数比較器をモニターしているために、周波数がオフセットし

### 特開平2-149018(3)

器1aと、デジタル型位相周波数比較器1bを有し、アナログ位相同期ループ(PLL)とデジタルPLLを同時に構成している点にある。

また、発生した誤差信号をA/D変換及びD/A変換によりデジタル処理を行なっているが、これはデジタルPLLからアナログPLLに切り替わるときに生ずるショックにより、通常用いられているアナログ処理では位相同期をかけることが困難なためである。

なお、デジタルフィルタ処理及びその他のソフトウェア上の付加機能を持たせることも可能である。

アナログ型位相比較器1aは、基準信号と電圧制御発振器(VCO)5の位相が $\pi/2$ ずれているときは、出力に相反する比較出力が生じる。これを積分し負帰還制御を行ない位相同期をかけるが、位相差が $\pi/2 \pm \pi/2$ 以上にずれたときに基準信号とVCO5の差成分、すなわち周波数差 $\Delta\omega$ が発生し、位相同期をかけることが困難になる。

このため、何らかの方法により基準信号とVCO5の差を $\pi/2 \pm \pi/2$ 以内まで帰引させる必要があるが、本回路では、デジタル型位相周波数比較器1bにおいてこれを行なう。すなわち、位相誤差電圧が $\pm\pi$ 以内では位相比較を行ない、位相差に応じた制御電圧を発生させる。さらに $\pm\pi$ を超えたいわゆる周波数領域においては、基準信号に対してVCO5の出力が $+\Delta\omega$ であるかを判断する周波数比較器として動作する。

一方、デジタル型位相周波数比較器1bは、アナログ型位相比較器1aには無いスプリアス平の面で不利であるという面を有している。本発明は、この両比較器1a、1bの長所を生かし、アナログ・デジタルPLLとして動作できるようにしている。

次に、本発明の自動周波数制御回路の動作について説明する。

まず、初期状態からの動作を考える。CPU3のロック回路が初期設定され、ソフトウェアが走り出すと、デジタル型位相周波数比較器1bのループを構成する。基準信号とVCO5の周波数差 $|\Delta\omega|$ は初めかなり大きいことが予想され、位相周波数比較器1の出力電圧は+側又は-側に片寄るが、この出力をA/D変換器2で読みとり、CPU3で判断し、VCO5を制御して位相領域に導する這帰引をする。このとき、位相比較器1の出力電圧の変化 $\Delta V$ により、位相領域に入ったことを検知するとともに、位相誤差何度の位置にあるかを検知することができる。

このようにして、位相領域に入った時点でアナログ型位相比較器1aのループを構成し、この出力からのビート信号を離散的にA/D変換器2より読みとり、デジタル処理を行ない、D/A変換器4より出力された制御電圧をVCO5に与え、位相同期をかける。このときデジタル型位相周波数比較器1bは位相同期はずれのモニターとして離散的にCPU3に取り込み、位相同期ループの監視を行ない、ロックはずれを起した際の周波数のずれの方向を判断し、すみやかに再引込を行なう。

〔発明の効果〕  
以上のように本発明によれば、周波数領域では、デジタル位相周波数比較器を、位相領域ではアナログ位相比較器でループを組むことによりブルインタイムを大幅に短縮できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明によるアナログ型位相比較器とデジタル型位相周波数比較器を併用した自動周波数制御回路の構成図、第2図は従来のアナログ型位相比較器を用いた自動周波数制御回路の構成図である。

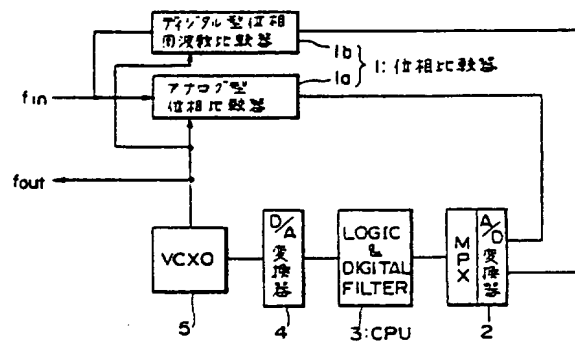
1: 位相比較器

特開平2-149018 (4)

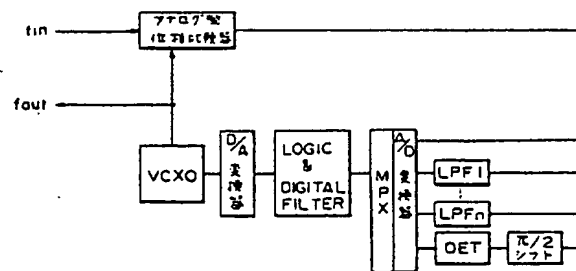
- 1 a : アナログ型位相比較器  
 1 b : デジタル型位相周波数比較器  
 2 : A / D 変換器 (マルチプレクサ付)  
 3 : CPU  
 4 : D / A 変換器  
 5 : VCXO

第 1 図

代理人 弁理士 渡辺 喜平



第 2 図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-149018

(43)Date of publication of application : 07.06.1990

(51)Int.Cl.

H03L 7/087

(21)Application number : 63-301019

(71)Applicant : NEC ENG LTD

(22)Date of filing : 30.11.1988

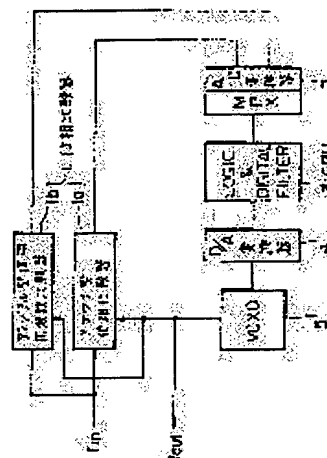
(72)Inventor : KAGAMI HIROTAKE

### (54) AUTOMATIC FREQUENCY CONTROL CIRCUIT

#### (57)Abstract:

**PURPOSE:** To contrive the prevention of the sync error and the deterioration of BER of a demodulator and the simplification of circuit constituting software by providing both an analog type phase shifter and a digital type frequency comparator as a phase comparator, and forming phase-locked loops respectively.

**CONSTITUTION:** When the logic circuit of a CPU 3 is initialized, and the software starts to operate, the loop of the digital type frequency comparator 1b is constituted. Then, at the point of time when it goes into a phase area, the loop of an analog type phase comparator 1a is constituted, and a beat signal from its output is fetched discretely by an A/D converter 2. Then, it is treated by digital processing, and control voltage outputted from a D/A converter 4 is given to a voltage controlled oscillator VCXO 5 so as to lock the phase. At that time, the comparator 1b is taken in the CPU 3 discretely as the monitor of out-of-synchronism, and monitors the phase-locked loop. Then, the direction of the shift of frequency at the time when out-of-lock occurs is judged and re-pull-in is performed quickly.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

**THIS PAGE BLANK (USPTO)**

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

**THIS PAGE BLANK (USPTO)**